

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-181943

(43)Date of publication of application : 17.09.1985

(51)Int.Cl.

606F 12/06

(21)Application number : 59-038386

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 29.02.1984

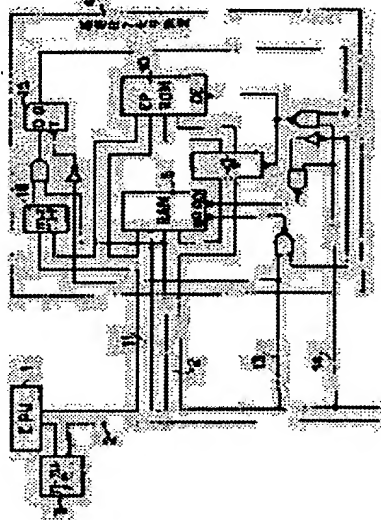
(72)Inventor : TAKAO YOSHIYUKI

(54) HIGH SPEED MEMORY DEVICE

(57)Abstract:

PURPOSE: To make constitution compact, and to execute a soft and high speed access by constituting a RAM and an EPROM so that a mode can be switched, and a data of the EPROM can be transferred to the RAM by an instruction of a local memory.

CONSTITUTION: A RAM5, an EPROM10 and a local memory 3 are provided on a bus 2 connected to a CPU1, and a mode for transmitting the contents of the EPROM10 to the RAM5 and a mode for fetching and executing information from the RAM5 are switched by an FF circuit 15, so that an address designation of the circuit 15 is executed by an address decoder 16. In this state, the CPU1 writes "1" in the circuit 15 in accordance with the contents of the memory 3 and sets a high speed memory device 4 to a transmission mode, transmits the contents of the EPROM10 to the RAM5 by an instruction of the memory 3, and in the same way, the CPU1 writes "0" in the circuit 15 and reads information from the RAM5.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-181943

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)9月17日

G 06 F 12/06

6974-5B

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 高速化メモリ装置

⑯ 特 願 昭59-38386

⑰ 出 願 昭59(1984)2月29日

⑱ 発 明 者 鷹 尾 良 行 神戸市兵庫区和田崎町1丁目1番2号 三菱電機株式会社
制御製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 田澤 博昭 外2名

明 細 書

1. 発明の名称

高速化メモリ装置

2. 特許請求の範囲

(1) CPUに接続されるバスと、前記バス上に設けられたRAM、EPROM、及びローカルメモリと、前記RAM及びEPROMのモード切替えを行う切替回路と、前記EPROMのデータを前記ローカルメモリの命令により前記RAMにデータ転送する切替スイッチ回路とを備えた高速化メモリ装置。

(2) 前記EPROM及びRAMを同一のアドレス上に配置し、リードまたはライト信号で前記EPROMかRAMかを自動選択するフリップフロップ回路を設けたことを特徴とする特許請求の範囲第1項記載の高速化メモリ装置。

(3) 前記RAMをEPROMの代替メモリとして用いることを特徴とする特許請求の範囲第1項記載の高速化メモリ装置。

(4) 前記EPROMの内容をRAMにデータ転送

した後、前記RAMを脱出し専用メモリとするため前記モード切替回路を作動させるように回路構成したことを特徴とする特許請求の範囲第1項記載の高速化メモリ装置。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は、高速アクセスが可能な高速化メモリ装置に関するものである。

〔従来技術〕

従来のこの種装置として第1図に示すものがあった。図において、1はCPU(中央演算処理装置)、2は前記CPU1の各入出力端子に接続されたバス、3はCPU1の初期起動用のローカルメモリ、4はCPU1の主記憶装置となる高速化メモリ装置、5は前記バス2に接続されたRAM、6はバス2に接続されたフロッピディスクコントローラ、7はフロッピディスクコントローラに接続されたフロッピディスク装置、8はバス2に接続されたバブルメモリコントローラ、9はバブルメモリコントローラ8に接続されたバブルメモリ

である。

次に第1図の動作について以下に説明する。いま、CPU1がバス2を介して上記高速化メモリ装置3の情報を読み出そうとする場合にCPU1はまずローカルメモリ3内のプログラムの内容に従い、フロッピディスクコントローラ6に命令し、フロッピディスク装置7より情報をリードし、RAM(random access memory)5に前記リードデータを転送するか、あるいはバブルメモリコントローラ8に命令し、バブルメモリ9より情報をリードし、RAM5に前記リードデータを転送し、その後RAM5内の情報を取り出して一連の命令の実行を行う。

従来の高速化メモリ装置は以上のように構成されていたので高速化メモリ装置4としてRAM5の他にフロッピディスク装置7あるいはバブルメモリ9等の付属の装置が必要でコンパクトさに欠けるという欠点があった。また、コンパクト性では従来よりEPROM(erasable programable read only memory)等がすぐれているが、アクセス時

間が遅いという欠点があった。(例えば、三菱電機製M5M5116P-12のRAMのアクセス時間は120ns、MAXに対し、同社のEPROMM5L2716Kは450nsである。)

[発明の概要]

この発明は、上記の様な従来のものの欠点を除去するためになされたもので、EPROMに記憶された情報をRAMに一旦転送し、その後前記RAMをアクセスしプログラムを実行することにより、EPROMが有する特長、すなわち、データのさし替えによるプログラム変更のフレキシビリティ、及びコンパクト性を生かし、さらにRAMの高速アクセスの可能性を利用した高性能の高速化メモリ装置を提供することを目的とする。

[発明の実施例]

以下、この発明の一実施例を図について説明する。図中、第1図と同一の部分は同一の符号をもつて図示した第2図において、10は、プログラム等の保存用EPROM、11はバス2中のアドレス信号を伝送するアドレスバス、12はバス2中のデータを伝えるデータバス、13はRAM5

に対してライト命令を伝えるバス2中のライト線、14はRAM5及びEPROM10より情報を読み出す時のリード命令を伝えるバス2中のリード線、15はEPROM10の内容をRAM5へ伝送するモードと、RAM5より情報を取り出し実行するモードの切り替えのためのフリップフロップ回路、16はそのフリップフロップ回路15のアドレス指定を行うためのアドレスデコーダである。

次に、第2図の動作について説明する。まず、CPU1はローカルメモリ3の内容に従い、フリップフロップ回路15の出刀端子Qが'H'レベルとなる様に、アドレスバス11及びアドレスデコーダ16、データバス12、ライト線13の諸信号を用いてフリップフロップ回路15に'1'を書き込む。この動作により高速化メモリ装置4はEPROM10の内容をRAM5へデータ伝送するモードとなる。次にCPU1はローカルメモリ3の命令により、アドレスバス11、データバス12、ライト線13、リード線14を用いてEPROM10の内容をRAM5へ伝送動作する。上記の動

作が終了するとCPU1は前記と同様の方法で、フリップフロップ回路15に'0'を書き込み、高速化メモリ装置4のRAM5を読み出しモードに切り替える。その後CPU1は、ローカルメモリ3の命令実行を断ち、RAM5より情報をリードし命令実行を行う。

また、上記の実施例では、同一のアドレス上にRAM5をEPROM10を割りつける構成にしたが、異なるアドレスに割りふるものとしても良い。

また、第2図の実施例ではEPROM10とRAM5間のデータ転送をCPU1が行うものとしたがDMA(Direct memory access)コントローラを用いることによつても同様の効果を達成することができる。

さらに、第2図の実施例では、フリップフロップ回路15にデータを書き込むことにより、高速化メモリ装置4のモードの切り替えを行つてゐるが、スイッチ等により手動で同様の操作を行つてもよい。

また、第2図の実施例においてはCPUボード

上に高速化メモリ装置4を搭載しているが、高速化メモリ装置4のみを別ボードに分離し、多種のCPUボードと接続可能な共有メモリネットワークとすることも出来る。

また、本発明の高速化メモリ装置をCPUボードのリセットスイッチに連動させるか、又は専用リセットスイッチを設け、それらにより、EPROMの情報をRAM5に伝送しCPU1に命令実行を行わせる一連の動作の再起動を行わせる様にしても良い。

また、第2図の実施例ではEPROM10を用いている様になっているが、その他あらゆる種類のROMを使用しても同様の効果を奏する。

〔発明の効果〕

以上説明した様に、この発明によれば、CPUとそのCPUに接続されるバス及び前記バス上に構築されたRAM、EPROM及びローカルメモリ等を設け、切替スイッチ回路により前記RAM及びEPROMのモード切替えを行ってデータの伝送を実行するようにしたので構成がコンパクト

化され、かつフレキシビリティに豊んだ高速マクセス可能の高速化メモリ装置を提供することができる。更に前記の高速化メモリ装置を用いることで高性能のCPUシステムを構築することができる効果がある。

4. 図面の簡単な説明

第1図は従来的高速化メモリ装置の構成を示すブロック回路図、第2図はこの発明の一実施例を示す高速メモリ装置の構成を示すブロック回路図である。

1…CPU、2…バス、3…ローカルメモリ、4…高速化メモリ装置、5…RAM、6…フロッピディスクコントローラ、7…フロッピディスクドライブ、8…バブルメモリコントローラ、9…バブルメモリ、10…EPROM、11…アドレスバス、12…データバス、13…ライト線、14…リード線、15…フリップフロップ回路、16…アドレスデコーダ。

特許出願人 三菱電機株式会社

第1図

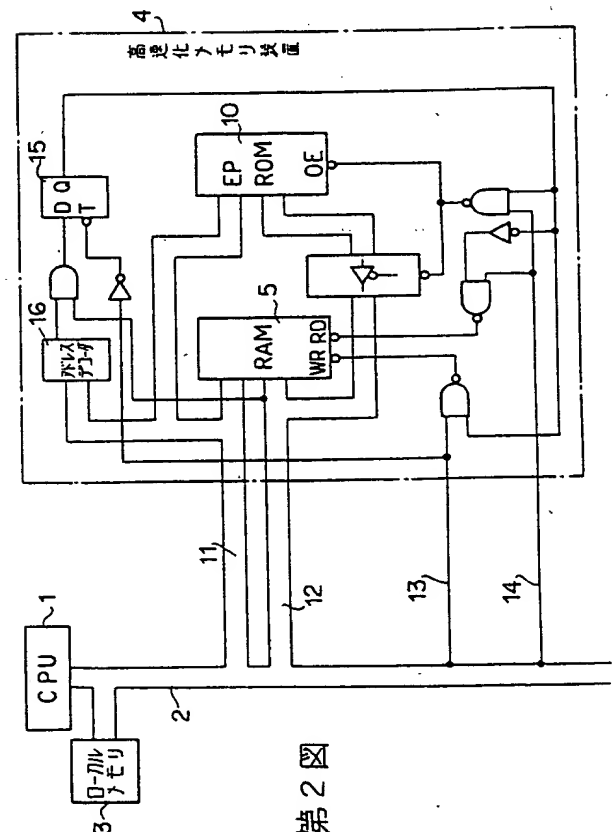
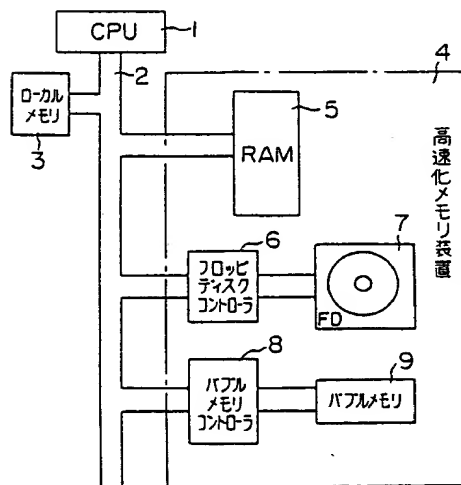


図2
装置

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **60-181943**

(43)Date of publication of application : **17.09.1985**

(51)Int. CI.

G06F 12/06

(21)Application number : **59-038386**

(71)Applicant : **MITSUBISHI ELECTRIC CORP**

(22)Date of filing : **29.02.1984**

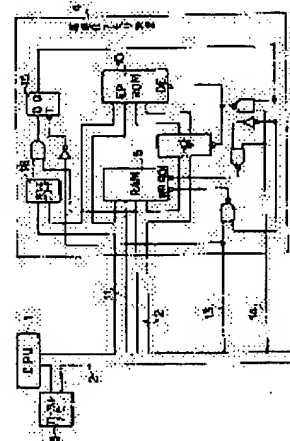
(72)Inventor : **TAKAO YOSHIYUKI**

(54) HIGH SPEED MEMORY DEVICE

(57)Abstract:

PURPOSE: To make constitution compact, and to execute a soft and high speed access by constituting a RAM and an EPROM so that a mode can be switched, and a data of the EPROM can be transferred to the RAM by an instruction of a local memory.

CONSTITUTION: A RAM5, an EPROM10 and a local memory 3 are provided on a bus 2 connected to a CPU1, and a mode for transmitting the contents of the EPROM10 to the RAM5 and a mode for fetching and executing information from the RAM5 are switched by an FF circuit 15, so that an address designation of the circuit 15 is executed by an address decoder 16. In this state, the CPU1 writes "1" in the circuit 15 in accordance with the contents of the memory 3 and sets a high speed memory device 4 to a transmission mode, transmits the contents of the EPROM10 to the RAM5 by an instruction of the memory 3, and in the same way, the CPU1 writes "0" in the circuit 15 and reads information from the RAM5.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]